

(11)Publication number : 06-163583

(43)Date of publication of application : 10.06.1994

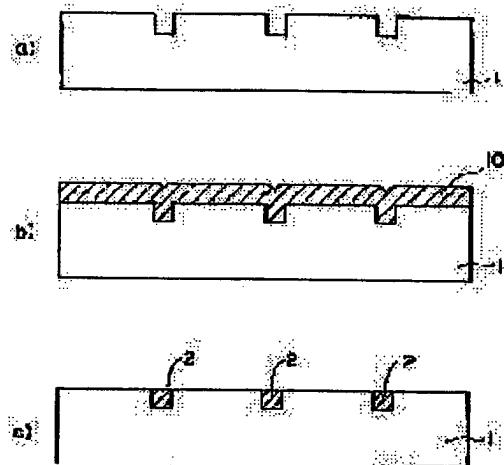
(51)Int.CI. H01L 21/336
 H01L 29/784
 G02F 1/136

(21)Application number : 04-305536 (71)Applicant : NIPPON SHEET GLASS CO LTD

(22)Date of filing : 16.11.1992 (72)Inventor : KUSUDA YUKIHISA
 HAMANAKA KENJIRO**(54) MANUFACTURE OF THIN -FILM TRANSISTOR ARRAY****(57)Abstract:**

PURPOSE: To facilitate manufacturing process and increase in area and to obtain a TFT array without any stop achieving a large-area and large-capacity display by burying a metal material which becomes a metal wiring for achieving electrode contact with TFT on the surface of an insulation substrate and then making smooth the surface of the insulation substrate.

CONSTITUTION: A metal film is formed on a glass substrate 1, a window where the metal film on a part where a metal wiring 2 is formed is eliminated is formed, and then the surface of the glass substrate 1 is subjected to etching treatment and then a groove is formed. After that, a metal film 10 which becomes the gate array of the TFT array is formed on the surface of the glass substrate 1. The surface of the glass substrate 1 is polished, the metal film 10 is allowed to remain only at the etched part on the glass substrate 1, and then the metal film 10 formed at other parts is eliminated. Then, the surface of the glass substrate 1 is smoothed along with the buried part of the metal material, thus increasing the sectional area of the metal wiring 2 and achieving a low-resistance gate wiring without generating gate wire propagation delay due to the internal parasitic resistance of the metal material.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-163583

(43)公開日 平成6年(1994)6月10日

(51)Int.Cl. ^a H 01 L 21/338 29/784 G 02 F 1/138	識別記号 5 0 0	序内整理番号 9018-2K 9056-4M	F I	技術表示箇所 H 01 L 29/ 78 3 1 1 Y
---	---------------	------------------------------	-----	------------------------------------

審査請求 未請求 請求項の数3(全7頁)

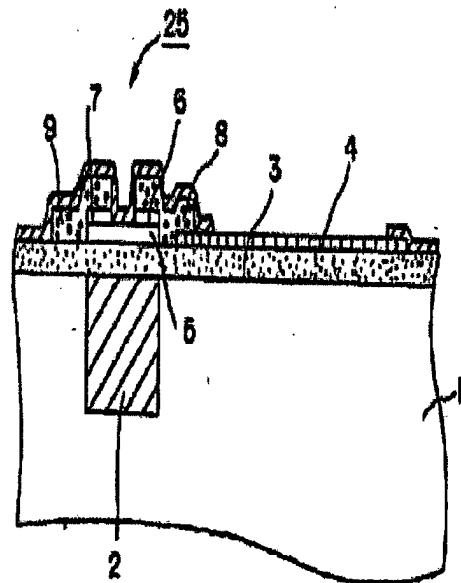
(21)出願番号 特願平4-305538	(71)出願人 日本板硝子株式会社 大阪府大阪市中央区道修町3丁目5番11号
(22)出願日 平成4年(1992)11月16日	(72)発明者 橋田 幸久 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内
	(72)発明者 浜中 賢二郎 大阪府大阪市中央区道修町3丁目5番11号 日本板硝子株式会社内
	(74)代理人 弁理士 大野 精市

(54)【発明の名称】薄膜トランジスタアレイの製造方法

(57)【要約】

【目的】 製造工程及び大面積化が容易であり、底面の無い薄膜トランジスタアレイの製造方法を提供する。

【構成】 第1の製造方法は、絶縁基板表面を後工程で金属材料を埋設する箇所に沿ってエッチング除去し、次いで前記絶縁基板上に金属材料を成膜し、さらに前記絶縁基板表面を研磨して前記エッチング除去された箇所以外の金属材料を除去するものである。第2の製造方法は、絶縁基板上に金属材料を成膜し、次いで前記金属材料により配線パターンを形成し、さらに前記絶縁基板上に絶縁膜を成膜した後、前記絶縁基板表面を研磨して配線パターン上の絶縁膜を除去するとともに絶縁膜表面を平滑化するものである。第3の製造方法は、絶縁基板表面を後工程で配線材料を埋設する箇所に沿ってエッチング除去し、次いでエッチング除去された箇所に針金状の金属材料を配置固定した後、絶縁基板上に絶縁膜を成膜し、さらに前記絶縁基板を研磨して配線パターン上の絶縁膜を除去するとともに絶縁膜表面を平滑化するものである。



【特許請求の範囲】

【請求項 1】 以下の工程を包含することを特徴とする薄膜トランジスタアレイの製造方法：

(A) 絶縁基板表面を後工程で金属材料を埋設する箇所に沿ってエッチング除去する工程、(B) 前記(A)工程でエッチング除去された箇所を含む絶縁基板上に金属材料を成膜する工程、(C) 前記(B)工程で得られた絶縁基板表面を研磨して、前記(A)工程でエッチング除去された箇所以外の金属材料を除去する工程、(D) 前記(C)工程で得られた絶縁基板上に薄膜トランジスタを形成する工程。

【請求項 2】 以下の工程を包含することを特徴とする薄膜トランジスタアレイの製造方法：

(A) 絶縁基板上に金属材料を成膜し、該金属材料により配線パターンを形成する工程、(B) 前記(A)工程で得られた絶縁基板上に絶縁膜を成膜する工程、(C) 前記(B)工程で得られた絶縁基板表面を研磨して、前記配線パターン上の絶縁膜を除去するとともに該絶縁膜表面を平滑化する工程、(D) 前記(C)工程で得られた絶縁基板上に薄膜トランジスタを形成する工程。

【請求項 3】 以下の工程を包含することを特徴とする薄膜トランジスタアレイの製造方法：

(A) 絶縁基板表面を後工程で配線材料を埋設する箇所に沿ってエッチング除去する工程、(B) 前記(A)工程でエッチング除去された箇所に針金状の金属材料を配線固定する工程、(C) 前記(B)工程で得られた絶縁基板上に絶縁膜を成膜する工程、(D) 前記(C)工程で得られた絶縁基板表面を研磨して、前記配線材料上の絶縁膜を除去するとともに該絶縁膜表面を平滑化する工程、(E) 前記(D)工程で得られた絶縁基板上に薄膜トランジスタを形成する工程。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタアレイの性能向上に関するものである。

【0002】

【従来の技術】 アクティブマトリックス駆動液晶ディスプレイは、表示品位が高いことから液晶ディスプレイの本流となりつつある。しかしながら、従来の駆動液晶ディスプレイにおいては、大面積かつ大容量の表示を行うためにさまざまな問題があった。

【0003】 図9に、従来の液晶ディスプレイに使用される薄膜トランジスタ(TFT)の断面構造を示す。同図において、1はガラス基板、32はゲート電極、33はゲート絶縁膜、34は画素電極そして35は非晶質シリコン層である。また、38は前記画素電極34に接続されるドレイン電極であり、36は非晶質シリコン35とドレイン電極38とのオーミック接觸を取るためのn型非晶質シリコン層である。さらに、39は外部から画像信号を送り込むソース電極であり、n型非晶質シリコ

ン層37を介して非晶質シリコン層35に接続される。また、ソース電極39は電極40に接続される。この電極40は、各画素のTFTへ画像信号を給電する配線である。

【0004】 図10にTFTアレイの平面図を示す。同図において、41はゲート選択線である。前記ゲート選択線41は、図9のゲート電極32と電気的に接続されており、該ゲート電極32とゲート選択線41は同一材料からなる金属薄膜で形成されている。なお、42はTFTを示している。

【0005】 また、図10のTFTアレイを動作させるには、ゲート選択線41に選択電圧を印加し、この印加により一本のゲート選択線41に接続された全てのTFT42がオン状態となる。このタイミングで電極40に画像信号電圧を印加すると、電圧が画素電極34に書き込まれる。次のタイミングにて隣接するゲート選択線41に選択電圧が印加されると、同様に画像信号電圧がTFT42に接続された画素電極34に書き込まれる。これらを繰り返すことにより、TFTアレイの上に形成された液晶の配向を制御して画像の表示ができる。

【0006】

【発明が解決しようとする課題】 しかしながら、液晶ディスプレイの表示容量が大きくなるにつれてさまざまな問題が発生してきた。これらの問題は以下に要約される。

【0007】 (1) すなわち、表示容量が大きくなると必然的に一画素に割り当てる面積が小さくなる。これに対し、TFT42、ゲート選択線41、画像給電線の占める面積は余り小さくできないことから、開口率(全体の面積に占める表示可能な面積の割合)が小さくなる。従って、照明光の利用効率が減少し、表示画像が暗くなってしまう。

【0008】 (2) また、開口率向上のためゲート選択線41の幅を狭くすると、ゲート選択線41の抵抗値が上昇し、寄生容量との関係からゲート選択線41の応答速度が低下してしまう。従って、TFT42のゲートにかかる電圧が不十分となり、画像信号の画素電極書き込みが不十分となる。この現象は、大面积大容量表示で特に問題となる。この問題を解決するための方法として、配線薄膜の膜厚を厚くすることが考えられる。しかしながら、膜厚を厚くすると図9に示すゲート電極32の膜厚が厚くなり段差が大きくなってしまう。このため、段差部で短絡を誘発しTFTの製造工程上問題となる。

【0009】 ところで、従来のTFTアレイにおいて、ゲート電極としてTa金属材料を用いた場合、その膜厚は通常0.3μm、幅10μm程度である。また、Ta自体の電気抵抗率は12μΩ/cm、すなわち0.4Ω/□であるから、配線抵抗は4Ω/mm程度である。

【0010】 従来の一辺300μm程度の大型液晶ディスプレイにおいて、基板終端までの抵抗値は12KΩ程度

である。この抵抗値で1000 pFの寄生容量を駆動することを考えた場合、RC時定数は12μsである。従って、RC時定数のみで立ち上がり、立ち下がりを含めて24μsを必要とする。一方、テレビジョン方式から1ライン当たり30μs以下で書き込みを終了させねばならない。画像データの完全な書き込みには、少なくともRC時定数の2~3倍以上の時間、即ち7.5μs程度の時間が必要である。従って、ゲート電極32の給電点の近傍では十分なデータ書き込みが可能であっても、ゲート電極32の终端近傍においてはデータ書き込みが不十分となり、この結果、画像品質を低下させていた。

【0011】本発明は、かかる従来の問題点を解決するためになされたものであって、製造工程及び大面积化が容易であり、大面积大容量表示が可能でしかも段差の無いTFTアレイの製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】すなわち、本発明の第1の製造方法は、まず絶縁基板表面をエッチング除去して金属材料の埋設部を形成し、次いで該金属材料の埋設部を含む絶縁基板の表面全体に金属材料を成膜し、さらに該絶縁基板表面を研磨して該金属材料の埋設部のみに金属材料を残存させるとともに該絶縁基板表面を平滑化し、そして該絶縁基板上にTFTを形成することにより達成される。

【0013】また、本発明の第2の製造方法は、絶縁基板の表面に金属材料を成膜し、この金属材料により配線パターンを形成し、次いで該パターンングされた絶縁基板の表面全体に絶縁膜を成膜し、さらに該絶縁基板を研磨して該配線パターン上の絶縁膜を除去するとともに該絶縁膜表面を平滑化し、そして該絶縁基板上にTFTを形成することにより達成される。

【0014】さらに、本発明の第3の製造方法は、まず絶縁基板表面をエッチング除去して金属材料の埋設部を形成し、次いで該金属材料の埋設部に針金状の材料を配置固定し、統いて該埋設部を含む絶縁基板の表面全体に絶縁材料を成膜し、さらに前記絶縁材料の成膜された絶縁基板の表面を研磨して該金属材料上の絶縁膜を除去するとともに該絶縁膜表面を平滑化し、そして該絶縁基板上にTFTを形成することにより達成することができる。

【0015】以下、本発明をさらに詳細に説明する。図1は、本発明のTFTの断面構造を示す図である。また、図2は本発明の金属配線となる金属材料が埋設された絶縁基板の斜視概念図である。図2において、TFTゲート電極として機能する箇所2aは太幅に構成されており、またゲート配線として機能する箇所2bは開口率向上のため細幅に構成されている。

【0016】図1において、1は絶縁基板の一例としてのガラス基板であって、2は該ガラス基板1内に埋設さ

れて表面部分が該ガラス基板1と同一に形成された金属配線である。前記ガラス基板1としては、ソーダライムガラス、石英ガラス、ほう珪酸ガラス等を用いることができる。また、金属配線2としては、Ta、Al、CrまたはCu等の金属材料を用いることができる。

【0017】金属配線2として、例えばTaを幅10μmで、かつ、ガラス基板1の表面から10μm深さに矩形に埋設した場合の配線抵抗は、Ta自身の電気抵抗率が12μΩcmであることから、約1.2Ω/mmとなる。従来の方法では、Taの配線抵抗は40Ω/mmであるから、本発明のガラス基板1面内への金属配線2の埋設により、配線抵抗を従来構造に比較して約1/30に低減することができる。また、前記金属配線2の線幅を細幅とすれば表面積が増加するため、開口率をさらに向上させることができる。

【0018】ガラス基板1表面のTFT 25の構造は、図9に示す従来のTFT 42の構造とほぼ同様である。すなわち、ガラス基板1上にゲート絶縁膜3が形成され、該ゲート絶縁膜3上の一部に画素電極4及び非品質シリコン層5が形成され、該非品質シリコン層5上には該非品質シリコン層5とドレイン電極6とのオーミック接触を取るためのn型非品質シリコン層7が形成されている。また、9は外部から画像信号を送り込むソース電極であり、n型非品質シリコン層7を介して非品質シリコン層5に接続されている。

【0019】次に、本発明の製造方法について述べる。まず、第1の製造方法として、ガラス基板1上に金属膜を成膜し、フォトリソグラフィー法により金属配線2を形成する部分の上の金属膜を除去した窓を形成する。統いて、前記ガラス基板1表面をエッチング処理し、1~10μmの範囲で溝を形成させる。該エッチング処理方法として、HFを主成分とするウエットエッチング法、あるいはCF4を主成分としたエッチングガスによる反応性イオンエッチング法(RIE法)のいずれかの方法を採用することができる。なお、前記ウエットエッチング法は処理工程が簡易でコストメリットを有するが、その反面エッチングが半球状に進行するため、最終的にエッチング深さの倍の幅が必要となり、微細パターンを形成させることが難しい。

【0020】この後、前記エッチング処理の施されたガラス基板1面上にTFTアレイのゲート配線となる金属膜10を成膜する。成膜法として、電解めっき法、スパッタ法、蒸着法、あるいはCVD法等を用いることができる。また、成膜される金属膜10は前述のTa、Al、CrまたはCu等の金属材料が用いられるが、金属膜はその厚みが大きいため、高速で成膜できる方法を採用することが望ましい。この点で、電解めっき法が優れている。しかしながら、前記電解めっき方法はガラス基板1との密着性が悪い。したがって、予めガラス基板1との密着性の良好なスパッタ法を用いてガラス基板1上

に下地層21を形成しておき、該下地層21上に電解めっき法を用いて金属膜10を成膜することが望ましい。
【0021】次に、前記ガラス基板1表面を研磨し、前記ガラス基板1上の前記エッチング部分のみに金属膜10を残存させ、他の部分に形成された金属膜10を除去する。

【0022】前述の工程を経て、ガラス基板1表面を金属材料の埋設部分と共に平滑化する。さらに、前記工程の後に前記金属膜10表面を陽極酸化し、酸化膜22を形成させることもできる。前記陽極酸化膜22は、ピンホールが少なく緻密な膜であるため、前記金属膜10上に陽極酸化膜22を形成させることにより、ピンホール等に伴う欠陥の低減に大きく寄与する。そしてこの後、前記金属配線2を形成したガラス基板1面上にTFTを從来周知の方法により形成させる。

【0023】次に、第2の製造方法について説明する。まず、ガラス基板1面上に金属膜10を成膜する。成膜される金属材料及び成膜法は上述の第1の製造方法と同様に電解めっき法、スパッタ法、蒸着法またはCVD法等を用いることができる。

【0024】前記ガラス基板1上にフォトリソグラフィー法でゲート電極配線パターンを形成する。さらに、前述のウエットエッチング法あるいはRIE法を用いてゲート配線パターンに沿ってエッチング除去し、金属配線2を得る。

【0025】この後、前記金属配線2の形成されたガラス基板1表面に絶縁膜24を成膜する。該絶縁膜24としては透明なSiO₂膜が好ましいが、絶縁性を有する材料膜であればこれに限定されない。また、成膜法は上述と同様に電解めっき法、スパッタ法、蒸着法あるいはCVD法等を用いることができる。

【0026】次に、前記絶縁膜24の成膜されたガラス基板1の表面を研磨して、金属配線2上の絶縁膜24を除去するとともに絶縁膜表面を平滑化する。この後、前記ガラス基板1上にTFTを形成させる。

【0027】さらに、第3の製造方法について説明する。まず、ガラス基板1表面上に金属膜を成膜し、フォトリソグラフィー法で金属配線2を形成する部分の上の膜を除去した窓を形成する。統いて、前記ガラス基板1表面をエッチング処理し、1~10μmの範囲で溝を形成させる。

【0028】さらに、エッチング処理後のガラス基板1の溝にTFTアレイとの電極接触を取るため金属配線2を形成する。方法としては、金属材料として直径1~10μm程度の針金、ワイヤー等が用いられる。この金属材料上に絶縁膜24を成膜する。次に、前記ガラス基板1表面を研磨し、金属材料上の絶縁膜を除去するとともに絶縁膜24表面を平滑化する。この後、前記ガラス基板1上にTFTを形成させる。

【0029】

【作用】本発明は、TFTに電極接触を取るための金属材料を絶縁基板に埋設したものであるから、金属配線の断面積を大きくとることができ、金属材料の内部寄生抵抗によるゲート線伝播遅延を発生させることなく、低抵抗のゲート配線を実現させることができる。また、絶縁基板表面が平滑となるよう調整したので、絶縁基板上へのTFT形成及び結合効率が向上する。

【0030】さらに、ゲート配線の抵抗値を一定として幅を変化させたゲート配線を形成させることもでき、開口率の向上に寄与できる。

【0031】

【実施例】

(実施例1) 図3は、本発明のTFTアレイの第1の製造方法による工程を示す一部断面図である。

【0032】まず、ガラス基板1の表面に蒸着法を用いて金属膜を成膜し、次いでフォトリソグラフィー法により金属配線を形成する部分の金属膜を除去して窓を形成した。さらに、前記窓の形成されたガラス基板1に対してHFを主成分とするウエットエッチング法によりエッチング処理を行い、ガラス基板1上に溝を形成した後、金属膜を除去した(図3a)。

【0033】前記溝を含むガラス基板1上に、スパッタ法を用いてT_e膜10を7μm厚さに成膜した(同図b)。さらに、前記T_e膜10の成膜されたガラス基板1表面を研磨して、前記ガラス基板1上の前記凹部のみにT_e膜2を残存させた。研磨後におけるガラス基板1表面とT_e膜2表面とは略面一状態となり、十分な平滑性を有していた。(同図c) そして、前記ガラス基板1上にTFTを形成し、前記T_e膜2をゲート配線およびゲート電極として機能させた。

(実施例2) 本発明の第2の実施例の製造工程図を図4に示す。まず、ガラス基板1表面をウエットエッチング法により深さ5μmまでエッチング除去した(図4a)。この結果、エッチングが等方的に進み、略半球状の凹部20が形成された。次に、前記ガラス基板1に対してスパッタ法によりT_e膜21を0.1μm厚さに成膜した(同図b)。

【0034】さらに、前記T_e膜21上に電解めっき法によりT_e膜10を7μm厚さに成膜した(同図c)。この後、ガラス基板1表面のT_e膜21、21を研磨し、前記ガラス基板1上の前記凹部20のみにT_e膜2、2'を残存させるとともにガラス基板1表面を平滑化させた(同図d)。さらに、前記研磨の施されたガラス基板1上のT_e膜2、2'表面を陽極酸化し、酸化膜22を形成した(同図e)。この後、前記ガラス基板1上にTFTを形成し、前記酸化膜22の形成されたT_e膜2、2'をゲート配線およびゲート電極として機能させた。

(実施例3) 本発明の第3の実施例の製造工程図を図5に示す。本実施例では、実施例1の製造工程の内、ガラ

ス基板1表面のエッチング処理をRIE法を用いて行った。

【0035】まず、ガラス基板1をRIE法によりエッチング除去して深さ5μmの凹部20を形成した(図5a)。RIE法は、サイドエッチングを抑えることができるため、図5aに示されるように縦横比の大きい形状を実現できた。次に、ガラス基板1に対してスパッタ法によりTa膜21を0.1μm厚さに成膜した(同図b)。さらに、前記Ta膜21上に電解めっき法によりTa膜10を7μm厚さに成膜した(同図c)。この後、前記ガラス基板1表面のTa膜10、21を研磨し、ガラス基板1上の前記凹部20のみにTa膜2、2'を残存させるとともにガラス基板1表面を平滑化させた(同図d)。さらに、前記研磨の施されたガラス基板1上のTa膜2、2'表面を陽極酸化し、酸化膜22を形成した(同図e)。この後、前記ガラス基板1上にTFTを形成し、前記酸化膜22の形成されたTa膜2、2'をゲート配線およびゲート電極として機能させた。

【実施例4】本発明の第4の実施例を図6に示す。実施例3のRIE法によるエッチング工程では、縦横比の大きい溝を得ることは可能であるが、RIE装置自体が高価なため製品がコスト高となるを得ず、またRIE法ではエッチレートが遅くスルーブットが小さいといった問題点がある。そこで、本実施例においては、安価なウエットエッチング法を用いて縦横比の大きい溝を得た。

【0036】まず、エッチレートの異なる2種類の基板材料、すなわち下層をガラス基板1、上層をリンを含むSiO₂膜11として、これらの基板材料1、11を積層し、該積層基板1、11をウエットエッチング処理した(図6)。

【0037】この後、実施例2あるいは実施例3と同様の工程を経た結果、ガラス基板1上の前記エッチング除去部分のみにTa膜2を残存させた。なお、研磨後のガラス基板1の表面は十分な平滑性を有していた。そして、前記ガラス基板1上にTFTを形成し、前記Ta膜2をゲート配線およびゲート電極として機能させた。

【実施例5】本発明の第5の実施例の製造工程図を図7に示す。まず、ガラス基板1上にTa膜10をスパッタ法により5μm厚さに成膜し(図7a)、さらにフォトリソグラフィー法により配線パターンを形成させた(同図b)。次に、前記バーニングされたガラス基板1上にCVD法によりSiO₂膜の絶縁膜24を7μm厚さに成膜した(同図c)。この後、前記SiO₂膜の成膜されたガラス基板1を研磨してTa膜2上の絶縁膜を除去し、ガラス基板1表面を平滑化させた(同図d)。そして、前記ガラス基板1上にTFTを形成し、

前記Ta膜2をゲート配線およびゲート電極として機能させた。

【実施例6】本発明の第6の実施例の製造工程を図8に示す。まず、ガラス基板1表面に蒸着法を用いて金属膜を成膜し、次いでフォトリソグラフィー法により金属配線を形成する部分の上の金属膜を除去して窓を形成した。続いて、前記窓の形成されたガラス基板1に対してRIE法によりエッチング処理を行い、ガラス基板1表面に4μm深さの溝を形成した(図8a)。

【0038】次に、この溝に直径5μmのワイヤー25を配置し固定した(同図b)。そして、前記ガラス基板1上にスパッタ法によりSiO₂膜24を8μm厚さに成膜した(同図c)。この後、前記ガラス基板1の表面を研磨してワイヤー25上の絶縁膜を除去し、ガラス基板1表面を平滑化させた(同図d)。さらに、前記ガラス基板1上にTFTを形成し、前記埋設されたワイヤー25をゲート配線およびゲート絶縁膜として機能させた。

【0039】

【発明の効果】本発明の製造方法によれば、TFTに電極接触を取るための金属配線となる金属材料が絶縁基板表面に埋設されるため、従来のTFTアレイに比較してゲート配線の抵抗を大きく低減することができ、大容量、大面積のディスプレイに適用した場合もゲート配線の伝播遅延を発生させることなく、画質劣化を防止できる。また、縦横比の大きなゲート配線を形成することによりゲート配線幅を狭くすることができ、開口率を大きくとることが可能である。

【図面の簡単な説明】

【図1】本発明のTFTの断面構造図

【図2】本発明のゲート配線の形成されたガラス基板の斜視構造図

【図3】本発明の第1の実施例を示す概略工程図

【図4】本発明の第2の実施例を示す概略工程図

【図5】本発明の第3の実施例を示す概略工程図

【図6】本発明の第4の実施例を示す概略工程図

【図7】本発明の第5の実施例を示す概略工程図

【図8】本発明の第6の実施例を示す概略工程図

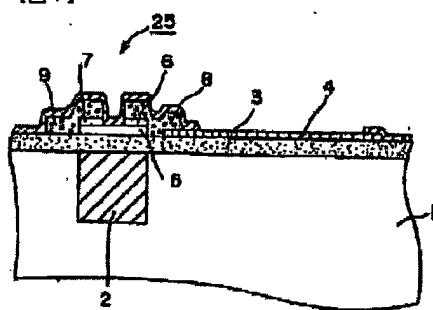
【図9】従来例のTFTの断面構造図

【図10】従来例のTFTアレイの平面図

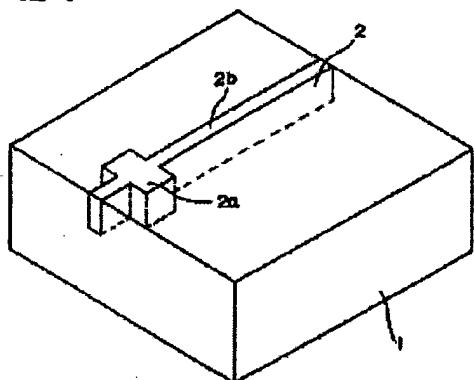
【符号の説明】

1	ガラス基板	2	金属配線
2 a	太幅部	2 b	細幅部
3	ゲート絶縁膜	4	画素電極
5	非晶質シリコン	6、7	n型非晶質シリ
コン			
8	ドレイン配線	9	ソース電極
10	金属膜	25	TFT

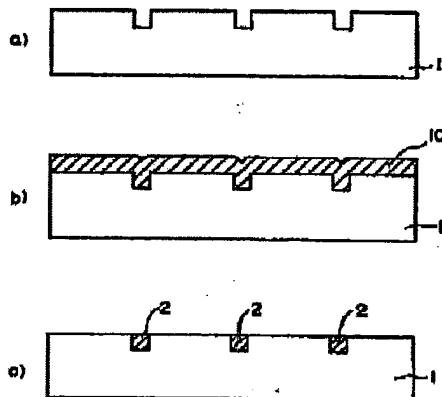
[図 1]



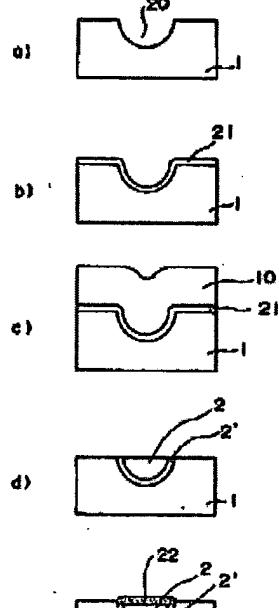
[図 2]



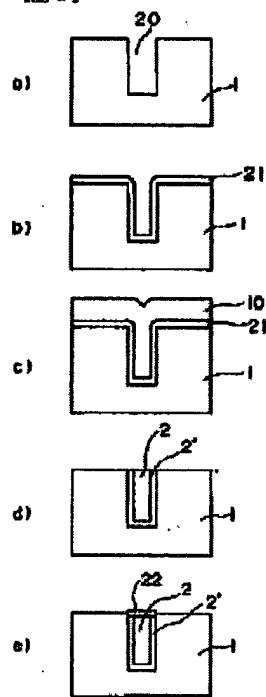
[図 3]



[図 4]



[図 5]



[図 6]

